

일본공개특허공보 평07-014500호(1995.01.17) 1부.

[첨부그림 1]

(10)日本国特許庁 (J-P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-14500

(43)公開日 平成7年(1995)1月17日

(51)Int.Cl.
H01J 1/30

識別記号

国内産業番号

F1

技術表示箇所

審査請求 未請求 請求項の数4 F D (全6頁)

(21)出願番号 特願平5-177581

(22)出願日 平成5年(1993)6月25日

(71)出願人 000201814

双葉電子工業株式会社

千葉県茂原市大芝229

(72)発明者 伊藤 茂生

千葉県茂原市大芝229

双葉電子工業株式

会社内

(72)発明者 越辺 昭男

千葉県茂原市大芝229

双葉電子工業株式

会社内

(72)発明者 大津 和徳

千葉県茂原市大芝229

双葉電子工業株式

会社内

(74)代理人 弁理士 藤 寿夫

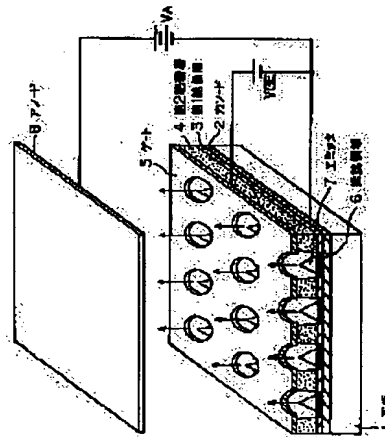
(外1名)

最終頁に続く

(54)【発明の名称】 電界放出カソード

【目的】 エミッタの直下に独立した抵抗傾斜を設けることができると共に、エミッタがゲートに対し均一な高さ及び距離となるよう電界放出カソードを作成できると。

【構成】 ガラス等の基板1の上にかソード2が電着により形成されており、カソード2の上に第1絶縁層3及び第2絶縁層4が積層されている。さらに、第2絶縁層4の上にはゲート5が形成されており、ゲート5及び第2絶縁層4に開口された穴の中にエミッタ7が電着により形成されている。さらに、形成されたエミッタ7の直下は第1絶縁層をレーザーアニールすることにより抵抗化された抵抗傾斜6とされている。なお、カソード2はレーザーアニールにより高温とされても材質の変化しない高融点金属を材料としてスパッタにより形成されている。



【特許請求の範囲】

【請求項 1】 基板の上に形成されたカソードと、
該カソード上に形成された第 1 の絶縁層と、
該第 1 の絶縁層の上に第 2 の絶縁層を介して形成された
ゲートと、
該ゲートと上記第 2 の絶縁層に設けられた開口部の中
で、かつ、第 1 の絶縁層の上に形成されたコーン状のエ
ミッタ、
を備える電界放出カソードにおいて、
上記第 1 の絶縁層の、上記コーン状のエミッタの直下の
みが抵抗化されていることを特徴とする電界放出カソ
ード。

【請求項 2】 上記第 2 の絶縁層が不純物のドーパされた
アモルファスシリコンあるいはポリシリコンからなるこ
とを特徴とする請求項 1 記載の電界放出カソード。

【請求項 3】 上記ゲートをフォトマスクとしてレーザま
たはランプ等の光線を照射することにより、上記第 1 の
絶縁層を抵抗化することを特徴とする請求項 1 あるいは
2 に記載の電界放出カソード。

【請求項 4】 上記抵抗化された抵抗領域の抵抗率を $1 \times 10^1 \sim 1 \times 10^6 \Omega \cdot \text{cm}$ とすることを特徴とする請求
項 1 ないし 3 のいずれかに記載の電界放出カソード。

【発明の詳細な説明】

【産業上の利用分野】 本発明はコールドカソードとして
知られている電界放出カソードに関するものであり、特
に新規な構成の電界放出カソード及びその製造方法に關
するものである。

【0002】

【従来の技術】 金属または半導体表面の印加電界を 10^9
[V/m] 程度にするとトンネル効果により、電子が
障壁を通過して真空中でも真空中に電子放出が行われるよ
うになる。これを電界放出 (Field Emission) と云い、
このような原理で電子を放出するカソードを電界放出カ
ソード (Field Emission Cathode) と呼んでいる。近
年、半導体加工技術を駆使して、ミクロンサイズの電界
放出カソードからなる面放出型の電界放出カソードを作
成することが可能となっており、電界放出カソードは螢
光表示装置、CRT、電子顕微鏡や電子ビーム装置に用
いられようとしている。

【0003】 図 3 に、その一例であるエミッタとカソ
ード間に抵抗を有するスピント (Spindt) 型と呼ば
れる電界放出カソード (以下、FEC と記す) の斜視図
を示す。この図において、基板 111 上にカソードライ
ン 112 が形成されており、このカソードライン 112
上にコーン状のエミッタ 119 が抵抗領域 117 を介し
て形成されている。さらに、カソードライン 112 上に
絶縁層 113 を介してゲート 114 が設けられており、
ゲート 114 に設けられた丸い開口部の中にコーン状の
エミッタ 119 が形成され、このエミッタ 119 の先端

部分がゲートに開けられた開口部から露出している。この
エミッタ 119 間のピッチは $10 \mu\text{m}$ 以下とすること
が出来、このようなエミッタを数万ないし数 10^5 個
を 1 枚の基板 111 上に設けることが出来る。

【0004】 ところで、エミッタ 119 の下に抵抗領域
117 を設ける理由は次の通りである。一般的な FEC
においてはコーン上のエミッタの先端とゲートとの距離
がサブミクロンという極めて短い距離とされていると共
に、数万個ものエミッタが一枚の基板上に設けられるた
め、製造の過程において塵埃等によりエミッタとゲート
とが短絡してしまうことがある。このように、ゲートと
エミッタとのひとつでも短絡していると、カソードとゲ
ートとが短絡したことになるため、すべてのエミッタに
電圧が印加されなくなり動作不能の FEC となってしま
っていた。また、FEC の初期の作動時に局所的な電ガ
スが生じ、このガスによりエミッタとゲートあるいはア
ノード間が放電を起こすことがあり、このため大電流が
カソードに流れてカソードが破壊してしまうことがあ
った。

【0005】 さらに、多数のエミッタのうち電子の放出
しやすいエミッタから集中して電子が放出されやすいた
め、そのエミッタに電流が集中することになり、画面上
に異状に明るいスポットが発生することもある。この
らの動作上の欠点を防止するために、従来は、カソード
とエミッタとの間に抵抗領域を設けるようにしているの
である。

【0006】 すなわち、図 3 に示すように、抵抗領域 1
17 の上にエミッタ 119 を形成すると、この抵抗領域
117 によりカソード電流が抑制されるため、カソード
112 が破壊されることがなくなる。また、あるエミッ
タに電流が集中した場合はそのエミッタに設けられた抵
抗領域 117 の電圧降下が大きくなるため、そのエミッ
タ電位が上昇し、このためゲート・カソード間の電圧が
下降し、電流の集中を防止することができるようにな
る。したがって、抵抗領域 117 を設けることにより、
FEC の製造上の歩留りが向上したり、安定な動作を行
わせたりすることができるようになる。

【0007】 次に、図 3 に示す FEC の製造過程を図 4
に示す。まず、図 4 (a) に示すように、ガラス等の基
板 111 上にカソードライン 112 が蒸着により形成
されており、さらにその上に絶縁層 113 である SiO₂
層 113 が形成されている。さらに、その上にゲート
114 となるニオブ (Nb) が蒸着され、ゲート 114
上にフォトリソistを塗布した後、パターニング及びエ
ッチングを行いゲート 114 及び絶縁層 113 に穴開け
が行われている。

【0008】 次に、図 4 (b) に示すように、基板 11
1 を回転させながら、斜め方向から剥離層 115 となる
アルミニウムの蒸着を行う。このように斜め蒸着を行う
と、剥離層 115 はあけた穴の中には蒸着されずにゲー

ト 11-3 の表面にのみ選択的に蒸着されるようになる。

【0009】さらに、同図 (c) に示すように剥離層 115 の上からモリブ덴の混合化合物からなる抵抗材料層 116 を堆積させる。すると、この抵抗材料は穴開けした穴の中にも堆積し、カソードライン 112 上に台形状の台からなる抵抗領域 117 が形成される。次に、この抵抗材料層 116 の上からエミッタ材料であるモリブ덴を抵抗材料層 116 の上から堆積させると、同図 (d) に示すように上記台形状の抵抗領域 117 の上に、モリブ덴がコーン 119 の形状で堆積する。この後、ゲート 113 上の剥離層 115 及び抵抗材料層 116 及びエミッタ材料層 116 をエッチングにより、共に除去すると、同図 (e) に示すような形状の F.E.C が得られるようになる。

【0010】図 4 (e) に示す F.E.C はコーン上のエミッタ 119 とゲート電極 113 との距離をサブミクロンとすることが出来るため、エミッタ 119 とゲート 113 間にわずかに数 1.0 ボルトの電圧を印加することによりエミッタ 119 から電子を放出させることが出来るようになる。

【0011】

【発明が解決しようとする課題】しかしながら、図 3 に示す F.E.C においては次のような問題点がある。

(1) エミッタの先端はゲートに対して高さが均一で、かつ、ゲートとの距離がほぼ一定であることが望ましいが、抵抗領域の蒸着とエミッタ金属の蒸着との 2 度の蒸着によりエミッタが形成されており、蒸着の厚さを均一にすることは困難であることから、2 度の蒸着により形成される箇々のエミッタの高さを均一化することは極めて困難になる。したがって、エミッタの高さにばらつきが生じてしまうという問題点がある。また、抵抗領域の厚さにばらつきが生じると、抵抗値もばらついてしまう問題点もある。

【0012】(2) 剥離層は斜め蒸着により形成されるため、剥離層の開口部はゲートの開口部より小さくなる。そして、正蒸着により抵抗層は形成されるため、台形状の抵抗領域の径は開口部の底部の径より小さくなる。すると、この抵抗領域の上にエミッタ金属を蒸着した場合、この金属が台形状の抵抗領域の上だけでなく台形状の周囲を覆う形で蒸着される恐れがあり、エミッタがこの抵抗領域の周囲のエミッタ蒸着金属を介してカソード基体と電気的に接続されてしまい、抵抗領域を設ける意味がなくなるという問題点がある。

【0013】(3) 台形状の抵抗領域の径が (2) で述べたように小さいため、抵抗領域すなわちエミッタに流れる電流を大きく取ることができず F.E.C の出力を大きくすることができないという問題点がある。

(4) 台形状の抵抗層の上にエミッタ金属が蒸着されていることから、エミッタ金属が剥離する恐れがあり、F.E.C のコーンの機械的強度が小さいという問題がある。

【0014】上記問題点を回避するために、カソード基体上の全面に抵抗層を蒸着するようにして、エミッタとカソードとの間に抵抗を形成するようにした電界放出カソードも提案されており、この F.E.C の断面を図 5 に示す。この図において、基板 51 の上にカソード 52 の基体が蒸着等により形成されており、このカソード 52 の上に全面に抵抗層 53 が設けられている。この抵抗層 53 の上には絶縁層 54 と、この絶縁層 54 を介してゲート 55 の基体が蒸着等により形成されている。さらに、ゲート 55 及び絶縁層 54 に設けられた開口部の中にコーン状のエミッタ 56 が形成されている。

【0015】このように形成された F.E.C においては、抵抗層 53 の抵抗 R がエミッタ 56 の直下のみに設けられておらず、各エミッタに共通に設けられていることから、各エミッタ毎の抵抗値が不均一分布に依存することや、電子放出中のエミッタやゲートの傾斜により、エミッタとゲートとが短絡されるとそのエミッタに電流が集中して流れ、共通に設けられた抵抗層を通して他のエミッタへも影響を及ぼすという問題点があった。また、グラフィックディスプレイ等の場合、カソードライン間のリークが抵抗層によって振なわれるという問題点があった。

【0016】図 5 に示す F.E.C の問題点を解決しようとした、さらに他の従来の F.E.C を図 6 に示す。この図における F.E.C は、カソードラインを格子状に形成すると共に、この格子状のカソードラインの上全面に抵抗層を形成する。そして、この格子状の抵抗層上に複数のエミッタからなるエミッタアレイを形成するようにしている。このように構成すると、格子状のエミッタとゲートとが短絡した場合、格子状のエミッタにしか電圧が及ばない。

【0017】しかしながら、この F.E.C においてはカソードラインを正確な位置に精度良く形成したり、ゲートに開口する穴を作成するためのマスクの位置合わせを精度良く行わなければならないことから F.E.C の製造が困難となる。さらに、格子状のエミッタのうちカソードラインと距離の近い周辺部のエミッタからはエミッジョン電流が多くなり、逆に中央部のエミッタからはエミッジョン電流が小さくなることから、エミッタの電流にアンバランスが生じ、エミッタ電流が均一化することができなくなる。また、カソードラインの上にはエミッタを形成しないこと、及びエミッタ電流を均一化するためには、原理上格子状内には 4 個又は 1 個しかエミッタを設けることが出来ないことから、カソードライン形成の精細加工が必要であると共にエミッタの面密度が低下すると云う問題点があった。

【0018】そこで、本発明はエミッタの直下に容易に独立した抵抗領域を形成することが出来ると共に、エミッタをゲートに対し均一な高さ及び距離をもって形成できるようにした電界放出カソードを提供することを目的

としている。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明はカソードの上に不純物をドーブした第1絶縁層を設け、この第1絶縁層の上にエミッタ及び第2絶縁層を介してゲートを形成するようにしたものである。そして、エミッタを形成する前にゲートに設けられた開口部をフォードマスクとして、レーザあるいはランプ等を用いて局所的な第1絶縁層のアニールを行うことにより、エミッタが形成される第1絶縁層の部分を抵抗化するようにしたものである。

【0020】

【作用】本発明の電界放出カソードによれば、エミッタを2回の焼きを用いて形成することなくエミッタの直下だけに独立して抵抗領域を設けることが出来るため、エミッタの高さ及びゲートとの距離を均一にすることが出来ると共に、抵抗領域の値が小さくなることとなるため、出力を大きくとることが出来る。さらに、抵抗領域の抵抗値をレーザ等のパワーを制御することにより任意の値にすることが出来る。また、F.E.Cの機械的強度が低下することなくなる。

【0021】

【実施例】本発明の電界放出カソードの斜視図を図1に示す。この図において、ガラス等の基板1の上にカソード2が電着により形成されており、カソード2の上に第1絶縁層3及び第2絶縁層4が積層されている。さらに、第2絶縁層4の上にはゲート5が形成されており、ゲート5及び第2絶縁層4に開口された穴の中にエミッタ7が電着により形成されている。

【0022】さらに、エミッタ7の直下には第1絶縁層3をアニールすることにより抵抗化された抵抗領域6が形成されている。なお、カソード2はアニールにより高温とされるため、高温とされても材質の変化しないNb、Ta、W等の高融点金属を材料としてスパッタ法により形成されており、ゲート5はTi、Cr、Nb、Mo、W等の金属を材料としてスパッタ法により形成されている。

【0023】そして、上記F.E.Cは半導体製造技術をもって作成することが出来るため、エミッタ7間の間隔は10ミクロン以下として製造することが出来る。このため、ゲート・カソード間に僅か数10ボルトの電圧V_{GE}を印加することによりエミッタ7から電子を放出することが出来る。エミッタ7から放出された電子はゲート5上に懸架して正電圧V_Aの印加されたアノード8を設けておけば、このアノード8により捕集することが出来る。

【0024】次に、図1に示すF.E.Cの製造過程を図2に示す。この図の(a)において、ガラス等の基板1の上に高融点金属材料をスパッタすることにより形成されたカソード2の導電層が設けられており、カソード2

の上には第1絶縁層及び第2絶縁層が積層されている。第1絶縁層3は、例えばSi₂H₆をガス種としてP.H.3をドーブガスとして用い、減圧CVD(LPCVD)法によりアモルファスシリコンを成膜することにより形成されている。この第1絶縁層3の抵抗値は約1.07×10¹²Ω・cmである。また、第2絶縁層4はガス種としてSiH₄及びN₂O、N₂を用いてプラズマCVD法あるいはスパッタ法により二酸化シリコン(SiO₂)を約1ミクロン成膜することにより形成されている。

【0025】さらに、第2絶縁層4の上にはゲート5の導体が形成されている。ゲート5はTi、Cr、Nb、Mo、W等の金属材料から選択された金属を用いて、スパッタ法により約0.4ミクロンの厚さで成膜されている。このゲート5の上にはレジスト層11が塗布されフォトリソグラフィ法あるいはエッチング法により、レジスト層11及びゲート5に開口部を形成している。この開口部の値は約1ミクロンとされている。また、ゲート5の導体のエッチングはSF₆等を用いたドライエッチング法が好適である。

【0026】この開口部からさらにエッチングを行い、図(b)に示すように第2絶縁層4に開口部を設ける。このエッチングはB.H.Fでウェットエッチングするか、あるいはCHF₃等のガスを用いて反応性イオンエッチング(R.I.E)により行えば良い。

【0027】この選択性のエッチングにより所定の面積を有する第1絶縁層が開口部の底部に露出される。そこで、ゲート5をマスクパターンとして、例えばレーザを照射すると第1絶縁層3の露出部分にレーザが照射されて、その部分の温度が瞬時に高温とされる。これにより、第1絶縁層3の露出部分のレーザアニールが行われる。このレーザとしては、例えばXeClエキシマレーザ(波長λ=30.9nm)を用いることが出来る。

【0028】レーザアニールの行われた第1絶縁層3の部分6は、アニールされたことにより抵抗化され、1×10⁻¹×1×10⁶Ω・cmの抵抗率が得られるようになる。この抵抗率の調整はレーザのパワーを調整することにより行うことが出来る。任意の抵抗値に調整することが出来る。また、レーザに替えてランプによるアニールを行っても良い。アニールを行った後に、図(c)に示すように、ゲート5の上にアルミニウムからなる絶縁層12を斜め回転蒸着法を用いて、ゲート5に設けた開口部内に蒸着されないように形成する。これに使用する蒸着法としては電子ビーム(E.B)蒸着法を用いることが出来る。

【0029】次に、図(d)に示すように、絶縁層12が形成された基板1にモリブデン(Mo)等の金属材料を巨目蒸着等により、基板1にたいし垂直方向から正蒸着を行い、コーン状のエミッタ7を開口部内の抵抗領域6の上に形成する。そして、エミッタ7の形成された基板1を焼成中で、Mo等のエミッタ材料層13を剥離

層12と共に除去すると、同図(e)に示すような電界放出カソードが得られる。

【0030】上記の説明では第1絶縁層としてアモルファスシリコンを用いたが、これに替えてポリシリコンを用いるようにしてもよい。また、第1絶縁層3にドーピングする不純物の材料としては、炭(P)に替えてボロン(B)、ビスマス(Bi)、ガリウム(Ga)、インジウム(In)、タリウム(Tl)等を用いることが出来る。

【0031】なお、基板毎に行われるアニールによっても抵抗領域の抵抗値を均一化することが出来るように、基板の周縁部に第1絶縁層の形成過程と同時にモニタ用の絶縁層を形成し、このモニタ用の絶縁層の抵抗値を検出しながらアニールを行い、所望の抵抗値がモニタ用の絶縁層から得られたときにアニールを終了するようにすれば、均一化された抵抗値の抵抗領域を有する電界放出カソードを製造することが出来る。

【0032】

【発明の効果】本発明は以上のように構成されているため、ゲートに設けられた開口をフォトマスクとしてセルフアラインで正確に各エミッタコーンの直下のみに所定の抵抗領域を設けることが出来る。このため、フォトマスクを追加して用意する必要がない。また、エミッタをカソードラインの格子枠内に設ける従来のFEGに比較してカソードラインの寸法及び位置にそれほどの精度を必要とせず、抵抗領域の作製を容易に行うことが出来ると共に、格子枠を設ける必要がないためエミッタの密度が低下することがなくなり、面内における電子の均一性が向上する。

【0033】さらに、第1絶縁層を局部的にアニールして抵抗領域を作製しているため、レーザ等のパワー密度

を替えることにより必要とされる所定の抵抗値を正確に制御することが出来る。また、このため、均一性、再現性及び位置精度に優れた抵抗領域を形成することが出来る。

【図1】本発明の電界放出カソードの斜視図である。

【図2】本発明の電界放出カソードの製造工程を示す図である。

【図3】従来の電界放出カソードの斜視図である。

【図4】従来の電界放出カソードの製造工程を示す図である。

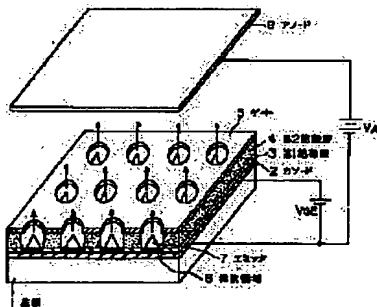
【図5】従来の他の電界放出カソードの断面を示す図である。

【図6】従来のさらに他の電界放出カソードのカソードラインとエミッタとの配置を示す図である。

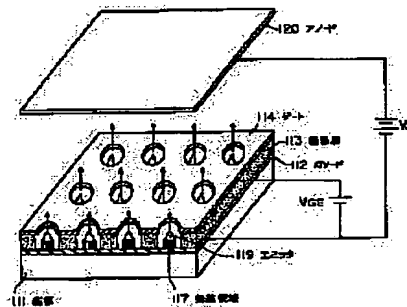
【符号の説明】

- 1, 51, 111 基板
- 2, 52, 112 カソード
- 3 第1絶縁層
- 4 第2絶縁層
- 5, 55, 114 ゲート
- 6, 117 抵抗領域
- 7, 56, 62, 119 エミッタ
- 8, 120 アノード
- 11 レジスト
- 12, 115 絶縁層
- 13, 118 エミッタ材料層
- 53 抵抗層
- 54, 113 絶縁層
- 61 カソードライン
- 116 抵抗材料層

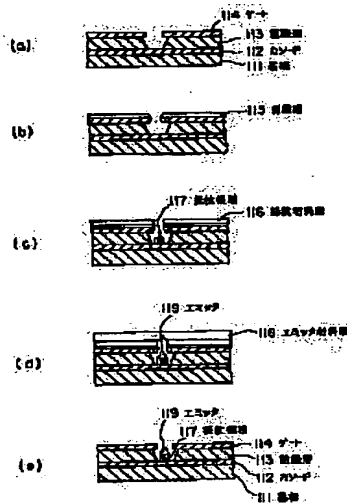
【図1】



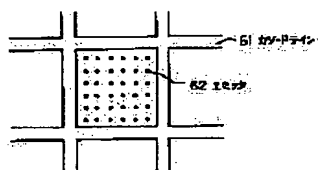
【図3】



【圖 4】



【図 6】



(72)発明者 新山 剛宏
千葉県茂原市大芝629 双葉電子工業株式
会社内